

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—154040

⑪ Int. Cl.³
H 01 L 21/88
21/28

識別記号

庁内整理番号
6810—5F
7638—5F

⑬ 公開 昭和59年(1984)9月3日

発明の数 1
審査請求 有

(全 7 頁)

⑭ バリールコンタクトの形成方法

⑯ 発明者 植田正昭

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑰ 特 願 昭58—28097

⑱ 出 願 昭58(1983)2月22日

⑰ 出 願 人 株式会社東芝

⑲ 発 明 者 奥村勝弥

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

バリールコンタクトの形成方法

2. 特許請求の範囲

- (1) コンタクトホールを有する半導体基板の該コンタクトホール内に下地膜を埋込む工程と、前記半導体基板の表面上及び埋込まれた該下地膜上に電極形成層を積層する工程と、熱処理により該電極形成層と前記下地膜とを一体に同質化して電極層を形成する工程とを具備することを特徴とするバリールコンタクトの形成方法。
- (2) 下地膜の材質がシリコン、或はアルミニウムと合金化若しくは固溶する元素で構成されている特許請求の範囲第1項記載のバリールコンタクトの形成方法。
- (3) 電極形成層の材質が、アルミニウムまたはアルミニウム合金で構成されている特許請求の範囲第1項または第2項記載のバリールコンタクトの形成方法。

- (4) コンタクトホール内に下地膜及び電極形成層と基板との反応を抑制するバリール層が形成されている特許請求の範囲第1項または第3項記載のバリールコンタクトの形成方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、バリールコンタクトの形成方法に関する。

〔発明の技術的背景〕

従来、半導体基板上に設けられたコンタクトホールを介して取出電極を形成する手段として、半導体基板を加熱しながら取出電極の形成部材を堆積することが行われている。このように半導体基板を加熱するのは、例えばアルミニウムのような取出電極の形成部材の表面拡散を促進して、これをコンタクトホール内に十分に充填させるためである。コンタクトホールは、通常 R.I.E. (Reactive Ion Etching) 技術にて約3μm程度の大きさで急峻な内側面を有するものに形成されている。

〔背景技術の問題点〕

前述の加熱処理を併用したものでは、コンタクトホールが $3\mu\text{m}$ 口程度の比較的大きいものである場合には、取出電極の形成部材をステップカバレイジ良く堆積することができる。しかしながら、コンタクトホールの大きさが $2\mu\text{m}$ 口以下になると、その内壁面の部分で堆積層のステップカバレイジが悪くなる。特に、コンタクトホールの大きさが $1\mu\text{m}$ 口以下になると、取出電極の形成部材を堆積できない問題があった。

〔発明の目的〕

本発明は、断線等による接触不良を防止して微細なコンタクトホールから取出電極を確実に取出し、高い信頼性を有する半導体装置を高歩留で得ることができるバリーコンタクトの形成方法を提供することをその目的とするものである。

〔発明の概要〕

本発明は、コンタクトホール内に予め下地膜

を形成し、この下地膜上に電極形成層を積層して両者を一体に同質化することにより、取出電極となる電極層を形成し、断線等による接触不良を防止した取出電極を有する信頼性の高い半導体装置を高歩留りで得ることができるバリーコンタクトの形成方法である。

〔発明の実施例〕

以下、本発明の実施例について第1図(A)乃至同図(D)を参照して説明する。

先ず、半導体基板1の所定領域に素子領域を囲むフィールド酸化膜2を形成する。次いで、素子領域上にゲート酸化膜を形成し、ゲート酸化膜上に所定パターンのゲート電極3を形成する。次いで、ゲート電極3を覆う酸化膜を素子領域上に形成し、フィールド酸化膜2と一体化する。ゲート電極3の上方のフィールド酸化膜2は、ゲート電極3の内厚分だけ隆起した段差部4を有している。素子領域部分のフィールド酸化膜2の膜厚は、約 $1\mu\text{m}$ である。次に、フィールド酸化膜2の所定領域に例えばR.I.E

(Reactive Ion Etching) 法により約 $1\mu\text{m}$ 口のコンタクトホール5を開口する。次いで、例えば減圧O.V.D (Chemical Vapor Deposition) により、多結晶シリコンからなる下地膜6をコンタクトホール5内及びフィールド酸化膜2上に形成する(第1図(A)参照)。ここで、下地膜6の材質としては、シリコン、アルミニウムと合金化或は固溶するものを用いても良い。下地膜6を形成する手段は、減圧O.V.D法の他にも微細なコンタクトホール5内や急峻な段差部4に滑らかな下地膜6を形成できるものであれば如何なるものでも良い。また、シリコン等からなる下地膜6中には、後述する電極形成層7との合金化を容易に行うために、P型の不純物を導入しておくのが望ましい。更に、下地膜6の表面に、例えば逆スパッタエッチングを施して活性化処理を施し、アルミニウム等からなる電極形成層7を確実に固着させるのが望ましい。

次に、下地膜6の表面にプラズマエッチング

処理を施し、コンタクトホール5内及び段差部4の周辺部のみに下地膜6a, 6bを残存させる(同図(B)参照)。

次いで、残存した下地膜6a, 6b及びフィールド酸化膜2上に例えばアルミニウムからなる電極形成層7を厚さ約 $1\mu\text{m}$ 形成する(同図(C)参照)。この電極形成層7を形成する際には、加熱処理を全く施さなくても良い。電極形成層7としては、アルミニウムの他にもアルミニウム合金等を使用しても良い。要は次に述べる熱処理によつて、下地膜6a, 6bと一体に同質化するものであれば如何なる材質のものを用いても良い。次いで、これに例えば 450°C で30分間熱処理を施し、残存した下地膜6a, 6bと電極形成層7とを一体化してアルミニウム合金からなる電極層8とする(同図(D)参照)。然る後、電極層8にパターニング処理を施し、所定形状の取出電極を得る。ここで、下地膜6a, 6bと電極形成層7とを一体化するための熱処理は、パターニングにより取出電極を形成

した後に行つても良い。

このようにバリーコンタクトの形成方法によれば、予めコンタクトホール5内及び段差部4に残存した下地膜6a、6bと一体化した電極層8から取出電極を形成するので、電極形成層7の良好なステップカバレッジにより、断線等による接触不良を防止した取出電極を、微細なコンタクトホール5から容易に取出すことができる。このため、信頼性の高い半導体装置を得ることができる。また、電極形成層7の形成に際しては、熱処理を必ずしも必要としないので作業性を向上できると共に、熱処理のための装置が不要となるので、製造コストを安くすることができる。その結果、製造歩留を高めることができる。

なお、コンタクトホール5内には、第2図に示す如く、 Ti や Pt のシリサイドからなるバリア層9を形成しておき、下地膜6aと半導体基板1が反応するのを阻止するようにしても良い。

3…ゲート電極、4…段差部、5…コンタクトホール、6…下地膜、7…電極形成層、8…電極層、9…バリア層、10…合金化促進層。

出願人代理人 弁理士 鈴 江 武 彦

また、第3図に示す如く、電極形成層7内にチタン等からなる合金化促進層10を形成して、下地膜6aと電極形成層7間で容易に合金化が起きるようにしても良い。

(発明の効果)

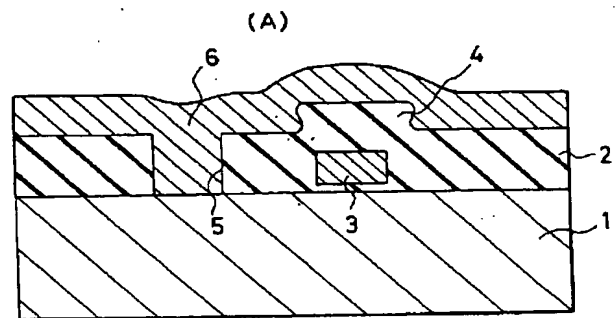
以上説明した如く、本発明に係るバリーコンタクトの形成方法によれば、断線等による接触不良を防止して微細なコンタクトホールから取出電極を確実に取出し、高い信頼性を有する半導体装置を高歩留で得ることができるものである。

(図面の簡単な説明)

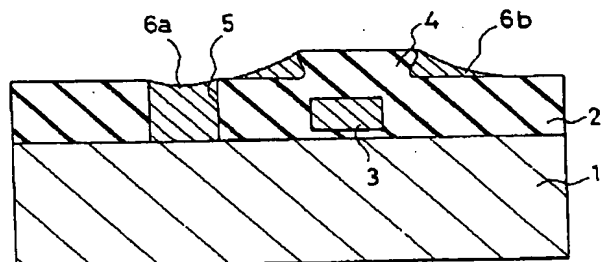
第1図(A)乃至同図(D)は、本発明に係るバリーコンタクトの形成方法の実施例を工程順に示す説明図、第2図は、本発明方法にバリア層の形成工程を併用して得られた半導体装置の断面図、第3図は、本発明方法にバリア層及び合金化促進層の形成工程を併用して得られた半導体装置の断面図である。

1…半導体基板、2…フィールド酸化膜、

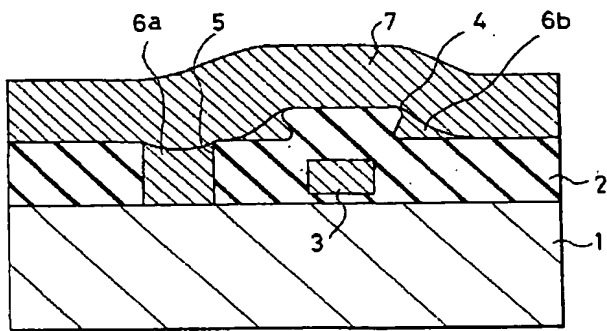
第 1 図



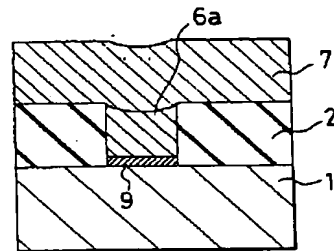
(B)



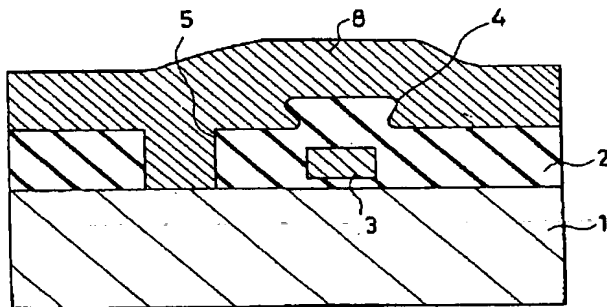
第 1 図 (C)



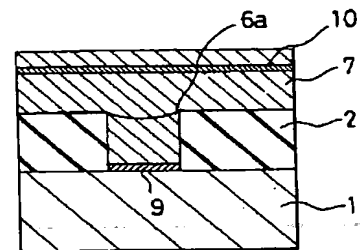
第 2 図



(D)



第 3 図



手 続 補 正 書

昭和 年 58 月 8 日 24 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

特願昭 58 - 28097 号

2. 発明の名称

半 導 体 装 置 の 製 造 方 法

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代 理 人

住所 東京都港区虎ノ門1丁目26番5号 第17層ビル
〒105 電話 03 (502) 3181 (大代表)

氏名 (5847) 弁理士 鈴 江 武 彦



自 発 補 正

6. 補正の対象

発 明 の 名 称 、 明 細 書

7. 補正の内容

- (1) 発明の名称が「ペリリーコンタクトの形成方法」とあるのを「半導体装置の製造方法」と訂正する。
- (2) 明細書全文を別紙の通り訂正する。

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電層上に局部的に下地層を形成する工程と、この下地層上に第2導電層を形成する工程と、前記下地層を前記第2導電層と同質化するように加熱する工程とを具備することを特徴とする半導体装置の製造方法。

(2) 第1導電層上に局部的に下地層を形成する工程は、第1導電層上にこの第1導電層を露出する凹部を少くとも備えた絶縁層を形成し、前記第1導電層の露出部分を含む前記絶縁層全面に下地層を形成し、この下地層を表面から所定厚除去して前記凹部に前記下地層を残存させ、それ以外の前記下地層を除去する工程であることを特徴とする前記特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 第1導電層が半導体基板であることを特徴とする前記特許請求の範囲第1項または第2

半導体基板を加熱しながら取出電極の形成部材を堆積することが行われている。このように半導体基板を加熱するのは、例えばアルミニウムのような取出電極の形成部材の表面拡散を促進して、これをコンタクトホール内に十分に充填させるためである。コンタクトホールは、通常 R. I. E (Reactive Ion Etching) 技術にて約 $3\mu\text{m}$ 口の大きさに急峻な内側面を有するものに形成されている。

この加熱処理を併用したものは、コンタクトホールが $3\mu\text{m}$ 口程度の比較的大きいものである場合には、取出電極の形成部材をステップカバレッジ良く堆積することができる。しかしながら、コンタクトホールの大きさが $2\mu\text{m}$ 口以下になると、その内壁面の部分で堆積層のステップカバレッジが悪くなる。特に、コンタクトホールの大きさが $1\mu\text{m}$ 口以下になると、取出電極の形成部材を堆積できない問題があつた。

また、配線アルミニウムと基板シリコンが直

項記載の半導体装置の製造方法。

(4) 下地層の材質がシリコン、或いはアルミニウムと同質化する元素で構成されていることを特徴とする特許請求の範囲第1項乃至第3項のいずれか記載の半導体装置の製造方法。

(5) 第2導電層の材質が、アルミニウムまたはアルミニウム合金で構成されていることを特徴とする特許請求の範囲第1項乃至第4項のいずれか記載の半導体装置の製造方法。

(6) 凹部内に下地層及び第2導電層との反応を制御するバリア層が形成されていることを特徴とする特許請求の範囲第2項乃至第5項のいずれか記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体装置の配線層形成に係り特に埋め込み電極構造に関するものである。

〔発明の技術的背景とその問題点〕

従来、半導体基板上に設けられたコンタクトホールを介して取出電極を形成する手段として、

接合しているコンタクト部においてオーミックコンタクトを取るための熱処理の過程でシリコンがアルミニウムの中へ拡散する現象が起つていた。

そのため、シリコンとアルミニウムの接触面において、シリコン側にピットができ、その中にアルミニウムが入りこみ、プレーナー構造で P-N 接合が浅い場合にはこのピットの深さが接合面にまで達し、その結果 P-N 接合の耐圧が劣化したり、逆方向リーク電流が増加する欠点があつた。この欠点を解決するため、コンタクト開孔後全面に多結晶シリコンを被着後アルミニウムを被着しその後パターニングして配線層を形成する方法が特開昭51-147981号に開示されている。しかし、この方法であれば、アルミニウム層の直下の全域に多結晶シリコンが存在するためその後の処理によつても多結晶シリコン中のシリコンの一部がアルミニウムに融け込むだけで多結晶シリコン層とアルミニウム層の接触面の一部のみが合金化されるも

のである。基板との接触は残存の多結晶シリコンによつて行なわれるため、接触抵抗を低くすることができない欠点を有している。また、コンタクト孔と拡散層との合わせずれがあつても接続を確実にするための多結晶シリコンに拡散層と同一導電型の不純物を導入しているが、この方法であれば特定の不純物を多結晶シリコンに導入するため、P-チャネルとN-チャネルの両タイプのトランジスタを有する相補型電界効果トランジスタ集積回路には適さないものである。

〔発明の目的〕

本発明は、断線等による接触不良を防止して微細なコンタクトホールから取出電極を確実に取出し、高い信頼性を有する半導体装置を高歩留で得ることができる半導体装置の製造方法を提供することをその目的とするものである。

〔発明の概要〕

本発明は、第1導電層上に局部的に予め下地層を形成し、この下地層上に第2導電層を積層

して両者を一体に同質化することにより、取出電極となる層を形成し、断線等による接触不良を防止した取出電極を有する信頼性の高い半導体装置を高歩留りで得ることができる半導体装置の製造方法である。

〔発明の実施例〕

以下、本発明の実施例について第1図(A)乃至同図(C)を参照して説明する。

先ず、半導体基板1の所定領域に素子領域を囲むフィールド酸化膜2を形成する。次いで、素子領域上にゲート酸化膜を形成し、ゲート酸化膜上に所定パターンのゲート電極3を形成する。次いで、ゲート電極3を覆う酸化膜を素子領域上に形成し、フィールド酸化膜2と一体化する。ゲート電極3の上方のフィールド酸化膜2は、ゲート電極3の肉厚分だけ隆起した段差部4を有している。素子領域部分のフィールド酸化膜2の所定領域に例えばR.I.E(Reactive Ion Etching)法により約1 μ m²のコンタクトホール5を開口する。次いで、例えば減圧

C.V.D (Chemical Vapor Deposition)により、多結晶シリコンからなる下地層6をコンタクトホール5内及びフィールド酸化膜2上に形成する(第1図(A)参照)。ここで、下地層6の材質としては、シリコンあるいはアルミニウムと合金化乃至固溶するものを用いても良い。下地層6を形成する手段は、減圧C.V.D法の他にも微細なコンタクトホール5内や急峻な段差部4に滑らかな下地層6を形成できるものであれば如何なるものでも良い。また、シリコン等からなる下地層6中には、後述する第2導電層7との合金化を容易に行うために、例えばP型の不純物を導入しておくのが望ましい。

次に、下地層6の表面にプラズマエッチング処理を施し、コンタクトホール5内及び段差部4の周辺部だけに下地層6a, 6bを残存させる(同図(B)参照)。

次いで、残存した下地層6a, 6b及びフィールド酸化膜2上に例えばアルミニウムからなる第2導電層7を厚さ約1 μ m形成する(同図

(C)参照)。この時例えば逆スパッタエッチングを施して活性化処理を施し、アルミニウム等からなる第2導電層7を確実に固着させるのが望ましい。この第2導電層7を形成する際には、加熱処理を全く施さなくても良い。第2導電層7としては、アルミニウムの他にもアルミニウム合金等を使用しても良い。要は次に述べる熱処理によつて、下地層6a, 6bと一体に同質にするものであれば如何なる材質のものを用いても良い。次いで、これに例えば450℃で30分間熱処理を施し、残存した下地層6a, 6bと第2導電層7とを一体化してアルミニウム合金からなる電極層8とする(同図(C)参照)。然る後、電極層8にパターンニング処理を施し、所定形状の取出電極を得る。ここで、下地層6a, 6bと第2導電層7とを一体化するための熱処理は、パターンニングにより取出電極を形成した後に行つても良い。

このような、半導体装置の製造方法によれば、予めコンタクトホール5内及び段差部4に残存

した下地層 6a、6b と一体化した電極層 8 から取出電極を形成するので、取出電極の抵抗は従来に比べて大幅減少でき電極形成層 7 の良好なステップカバレッジにより、断線等による接触不良を防止した取出電極を、微細なコンタクトホール 5 から容易に取出することができる。また、従来問題となっていたアルミニウムの基板への突きぬけも防止できる。このため、信頼性の高い半導体装置を得ることができる。更に第 2 導電層 7 の形成に際しては、熱処理を必ずしも必要としないので作業性を向上できると共に、熱処理のための装置が不要となるので、製造コストを安くすることができる。その結果、製造歩留を高めることができる。

なお、コンタクトホール 5 内には、第 2 図に示す如く、Ti や P などのシリサイドからなるバリア層 9 を形成しておき、下地層 6a と半導体基板 1 が反応するのを阻止するようにしても良い。

また、第 3 図に示す如く、第 2 導電層 7 内に

ミニウムに入り込み、多結晶シリコンとアルミニウムが一体に同質化する。従つて、従来問題となっていたアロイースパイクも発生せず、また、一体同質化するため半導体基板との接触も良好となる。また、下地層が局部的に埋め込まれるため、より微細なコンタクトホールでさえも埋め込むことができる。更に、その後一体に同質化するため断線等による接触不良を防止して微細なコンタクトホールから取出電極を確実に形成できる。その結果、高い信頼性と高歩留を有する半導体装置を提供できるものである。

4. 図面の簡単な説明

第 1 図 (A) 乃至同図 (D) は、本発明に係る半導体装置の製造方法の実施例を工程順に示す説明図、第 2 図は、本発明方法にバリア層の形成工程を併用して得られた半導体装置の断面図、第 3 図は、本発明方法にバリア層及び合金化促進層の形成工程を併用して得られた半導体装置の断面図である。

1 … 半導体基板、2 … フィールド酸化膜、3

チタン等からなる合金化促進層 10 を形成して、下地層 6a と第 2 導電層 7 間で容易に合金化が起きるようにしても良い。

〔発明の効果〕

以上説明したように、本発明の主たる利点は第 1 導電層上に下地層すなわち多結晶シリコンを局部的に形成しことにある。即ち、多結晶シリコンを全面に形成する従来技術においては、多結晶シリコンがアルミニウムに対し過剰にあるため、多結晶シリコン中のシリコンがアルミニウムに全て入り込むことはない。このためアルミニウム基板に対し、アロイースパイク（つきぬけ）を形成しない長所を有している反面、この多結晶シリコンとアルミニウムよりなる配線層が半導体基板と接触する部分は多結晶シリコンのみであるため良好な電氣的接触を得ることが難かしいものである。本発明によれば下地層例えば多結晶シリコンが局部的に形成されている。このため、多結晶シリコン中のシリコンが全てその後形成される第 2 導電層例えばアル

…ゲート電極、4 … 段差部、5 … コンタクトホール、6 … 下地層、7 … 第 2 導電層、8 … 電極層、9 … バリア層、10 … 合金化促進層。

出願人代理人 弁理士 鈴 江 武 彦